

通信接口外设 用户手册

目录

1	SPI.....	4
1.1	特性.....	4
1.2	操作步骤.....	4
1.2.1	Master tx.....	4
1.2.2	Master rx.....	4
1.2.3	Slave tx（主时钟应该大于 SPI 线时钟两倍）.....	4
1.2.4	Slave rx（主时钟应该大于 SPI 线时钟两倍）.....	5
1.3	寄存器介绍.....	5
2	IIC.....	10
2.1	特性.....	10
2.2	寄存器介绍.....	10
3	UART.....	24
3.1	特性.....	24
3.2	寄存器介绍.....	24
4	CAN.....	37
4.1	特性.....	37
4.2	操作步骤.....	38
4.3	寄存器介绍.....	38
5	历史.....	50

关于本手册

本手册提供了通信外设中所有模块的描述，包括模块介绍、使用步骤和寄存器等；包括了以下模块：SPI、IIC、UART、CAN 和 EVSYS。

关于一些记数约定

本手册使用了以下通用约定，这些约定在本手册内有效：

- 十六进制数表示为 **suffix'h**。例如：**16'ha301**，表示该数的二进制数位宽为 16，十六进制数形式值为 **a301**。
- 十进制数表示为 **suffix'd**。例如：**2'd3**，表示该数的二进制数位宽为 2，十进制数形式值为 3。
- 二进制数表示为 **suffix'b**。例如：**3b'001**，表示该数的二进制数位宽为 3，二进制数形式值为 001。

1 SPI

1.1 特性

- (1) 支持 master 和 slave 模式。
- (2) 支持 mode0、mode1、mode2 和 mode3。
- (3) 支持 4 线传输。
- (4) 支持正常、双边、1/4 传输。
- (5) 支持 8 位、16 位、24 位和 32 位传输。
- (6) 时钟频率达到 40MHz。

1.2 操作步骤

1.2.1 Master tx

- (1) 根据需要配置 CLK_CON0 寄存器选择时钟源。
- (2) 根据需要配置 SYS_CON0 或 IO_MAP 寄存器以选择 pad。
- (3) 配置 IRQ 或 DMA。
- (4) 配置 SPI_CFG 寄存器设置传输模式,使能 FIFO,选择时钟分频系数(SPI_CFG[23:16])。
- (5) 配置 SPI_CTL 寄存器使能 SPI TX 模式 (SPI_CTL[1:0]=10) 和下拉 NSS (SPI_CTL[3]=0)。
- (6) 配置 SPI_TX_BC 寄存器对发送字节计数进行配置。
- (7) 配置 SPI_TX_START 寄存器触发 SPI 发送 (在 Tx 模式下, 配置 SPI_CFG, SPI_CTL, SPI_TX_BC 和 SPI_TX_START 寄存器将触发 SPI 发送)。
- (8) 等待传输结束。
- (9) 配置 SPI_CTL 关闭 Tx (SPI_CTL[1:0]=00) 和上拉 NSS (SPI_CTL[3]=1)。

1.2.2 Master rx

- (1) 根据需要配置 CLK_CON0 寄存器选择时钟源。
- (2) 根据需要配置 SYS_CON0 或 IO_MAP 寄存器以选择 pad。
- (3) 配置 IRQ 或 DMA。
- (4) 配置 SPI_CFG 寄存器设置传输模式、使能 FIFO、选择时钟分频系数和选择接收时钟延时链。
- (5) 配置 SPI_CTL 寄存器使能 SPI Rx 模式 (SPI_CTL[1:0]= 01) 和下拉 NSS (SPI_CTL[3]=0)。
- (6) 配置 SPI_TX_BC 寄存器对接收字节计数进行配置。
- (7) 配置 SPI_TX_START 寄存器触发 SPI 接收 (在 Rx 模式下, 配置 SPI_CFG, SPI_CTL, SPI_TX_BC 和 SPI_TX_START 寄存器将触发 SPI 接收)。
- (8) 等待传输结束。
- (9) 配置 SPI_CTL 关闭 Rx (SPI_CTL[1:0]=00) 和上拉 NSS (SPI_CTL[3]=1)。

1.2.3 Slave tx (主时钟应该大于 SPI 线时钟两倍)

- (1) 根据需要配置 CLK_CON0 寄存器选择时钟源。
- (2) 根据需要配置 SYS_CON0 或 IO_MAP 寄存器以选择 pad。
- (3) 配置 IRQ 或 DMA。
- (4) 配置 SPI_CFG 寄存器设置传输模式、使能 FIFO。

1 SPI

- (5) 配置 SPI_CTL 寄存器使能从机 Tx 模式。
- (6) 配置 SPI_TX_BC 寄存器设置发送字节计数。
- (7) 配置 SPI_TX_START 寄存器触发 SPI 发送。
- (8) 等待传输结束。
- (9) 配置 SPI_CTL 关闭 Tx。

1.2.4 Slave rx (主时钟应该大于 SPI 线时钟两倍)

- (1) 根据需要配置 CLK_CON0 寄存器选择时钟源。
- (2) 根据需要配置 SYS_CON0 或 IO_MAP 寄存器以选择 pad。
- (3) 配置 IRQ 或 DMA。
- (4) 配置 SPI_CFG 寄存器设置传输模式、使能 FIFO。
- (5) 配置 SPI_CTL 寄存器使能从机 Rx 模式。
- (6) 等待传输结束。
- (7) 配置 SPI_CTL 关闭 Rx。

1.3 寄存器介绍

1-1 SPI_CFG

地址偏移: 0x0000

Bit	名称	复位值	读/写	功能
31:28	保留	0000	R/W	-
27	SPI_ENDIRQ_EN	0	R/W	SPI 传输结束 IRQ 使能位。 0: 不使能 1: 使能
26:24	RXSEL	000	R/W	Capture 串行数据控制位: 000: 不延迟 001: 延迟 1 个周期 010: 延迟 2 个周期 ... 111: 延迟 7 个周期
23:16	DIV_CNT	8'b0	R/W	SPI 时钟分频位, F _{sck_o} 的频率由下列公式计算而来: $F_{sck_o} = APB_CLK / ((DIV_CNT + 1) * 2)$
15	SPI_TDRQ_EN	0	R/W	SPI TX DRQ 使能控制位, 当 SPI TX FIFO 半满时触发 DRQ。 0: 不使能 1: 使能
14	SPI_RDRQ_EN	0	R/W	SPI RX DRQ 使能控制位, 当 SPI RX FIFO 半满时触发 DRQ。 0: disable 1: enable
13	SPI_TIRQ_EN	0	R/W	SPI TX IRQ 使能控制位, 当 SPI TX FIFO 半空时触发 SPI TX IRQ。 0: 不使能 1: 使能

1 SPI

12	SPI_RIRQ_EN	0	R/W	SPI RX IRQ 使能控制位，当 SPI RX FIFO 半满时触发 SPI RX IRQ。 0: 不使能 1: 使能
11	TX_BUS_SEL	0	R/W	SPI TX FIFO 总线选择位。 0: APB 总线 1: DMA 总线
10	RX_BUS_SEL	0	R/W	SPI RX FIFO 总线选择位。 0: APB 总线 1: DMA 总线
9	TXFIFOEN	0	R/W	Tx FIFO 使能位。 0: 不使能 Tx FIFO 1: 使能 Tx FIFO
8	RXFIFOEN	0	R/W	Rxfifo 使能位。 0: 不使能 Rxfifo 1: 使能 Rxfifo
7:6	DFS	00	R/W	数据帧大小选择位。 00: 08 bit 01: 16 bit 10: 24 bit 11: 32 bit
5:4	WIREMODE	00	R/W	SPI 工作模式选择位。 00: 标准模式 01: 3 线模式 10: 双边模式 11: 1/4 模式
3:2	SPIMODE	11	R/W	SPI 模式选择位。 CPOL CPHA 00: 模式 0 01: 模式 1 10: 模式 2 11: 模式 3
1	保留	0	R/W	-
0	SLAVE	0	R/W	主从模式控制位。 0: 主模式 (master mode) 1: 从模式 (slave mode)

1-2 SPI_CTL

地址偏移: 0x0004

Bit	名称	复位值	读/写	功能
31:4	保留	28'b0	R	-
3	SPI_NSS	1	R/W	SPI NSS 引脚输出控制位，仅当主模式下有效。 0: 输出低电平 1: 输出高电平

1 SPI

2	保留	0	R/W	-
1:0	SPIEN	0	R/W	SPI 使能控制位。 00: 不使能 SPI 01: 使能 SPI rx 模式 10: 使能 SPI tx 模式 11: 同时使能 SPI tx 和 rx 模式

1-3 SPI_RX_BC

地址偏移: 0x0008

Bit	名称	复位值	读/写	功能
31:16	RX_BC_STA	16'b0	R	接收字节计数状态位, 0 代表无数据传输。
15:0	RX_BC_CFG	16'b0	R/W	接收字节计数配置位, 0 代表无数据传输。

注意: 在只读模式下, 如果你先配置 SPI_CFG、SPI_CTL、SPI_RX_BC 位, 最后配置 SPI_RX_START, 将触发 SPI 读操作。

1-4 SPI_STA

地址偏移: 0x000C

Bit	名称	复位值	读/写	功能
31:11	保留	21'b0	R	-
10	spi_end_pend	0	R/W	SPI 传输结束 pending 触发控制位。当数据传输结束后触发。 0: 无任何效果 1: 清除 pending
9	tx_irq_pend	0	R/W	SPI TX IRQ pending 触发控制位。当 SPI TX FIFO 半空时触发。 0: 无任何效果 1: 清除 pending
8	rx_irq_pend	0	R/W	SPI RX IRQ pending 触发控制位。当 SPI RX FIFO 半满时触发。 0: 无任何效果 1: 清除 pending
7	tx_fifo_full	0	R	SPI TX FIFO 已满标志位。 0: SPI TX FIFO 未 1: SPI TX FIFO 已
6	tx_fifo_empty	1	R	SPI TX FIFO 清空标志位。 0: SPI TX FIFO 未 1: SPI TX FIFO 已
5	rx_fifo_full	0	R	SPI RX FIFO 已满标志位。 0: SPI RX FIFO 未 1: SPI RX FIFO 已
4	rx_fifo_empty	1	R	SPI RX FIFO 清空标志位。 0: SPI RX FIFO 未 1: SPI RX FIFO 已
3	tx_fifo_error	0	R/W	SPI TX FIFO error Pending 控制位。当 SPI TX FIFO 写溢出时设置该位。

1 SPI

				0: 无任何效果 1: 清除 pending
2	rx_fifo_error	0	R/W	SPI RX FIFO error Pending 控制位。当 SPI RX FIFO 读/写溢出时设置该位。 0: 无任何效果 1: 清除 pending
1	保留	0	R	-
0	spi_busy	0	R	SPI 工作状态标志位。 0: SPI 空闲 1: SPI 正在工作

1-5 SPI_WDATA

地址偏移: 0x0010

Bit	名称	复位值	读/写	功能
31:0	WDATA	32'b0	W	SPI 数据写入位。

1-6 SPI_RDATA

地址偏移: 0x0014

Bit	名称	复位值	读/写	功能
31:0	RDATA	32'b0	R	SPI 数据读取位

1-7 DMA_TX_ADDR

地址偏移: 0x0018

Bit	名称	复位值	读/写	功能
31:0	DMA_TX_ADDR	32'b0	R/W	DMA Tx 模式基地址设置位。

1-8 DMA_RX_ADDR

地址偏移: 0x001C

Bit	名称	复位值	读/写	功能
31:0	DMA_RX_ADDR	32'b0	R/W	DMA Rx 模式基地址设置位。

1-9 SPI_TX_BC

地址偏移: 0x0020

Bit	名称	复位值	读/写	功能
31:16	TX_BC_STA	16'b0	R	Tx 模式字节计数状态位, 0 代表无数据传输。
15:0	TX_BC_CFG	16'b0	R/W	Tx 模式字节计数设置位, 0 代表无数据传输。

注意: 在 TX 模式下, 如果先配置 SPI_CFG, SPI_CTL, SPI_TX_BC 寄存器, 最后配置 SPI_TX_START 寄存器, 将触发写操作。

1-10 SPI_TX_START

地址偏移: 0x0024

Bit	名称	复位值	读/写	功能
31:0	保留	-	W	-

注意: SPI_TX_START 寄存器中的各位无实际功能, 通过向该寄存器写入数据可以保存 SPI_TX_BC 寄存器上的值。

1-11 SPI_RX_START

地址偏移: 0x0028

Bit	名称	复位值	读/写	功能

1 SPI

31:0	保留	-	W	-
------	----	---	---	---

注意：SPI_RX_START 寄存器中的各位无实际功能，通过向该寄存器写入数据可以保存 SPI_RX_BC 寄存器中的值。

2 IIC

2.1 特性

- (1) 两线 IIC 串行接口——有一条串行数据线（SDA）和一条串行时钟线（SCL）组成。
- (2) 三种传输速度：
 - 标准模式（0 到 100Kb/s）；
 - 快速模式（≤ 400 Kb/s）或快速模式 plus（Fast mode plus）（≤ 1000Kb/s）；
 - 高速模式（≤ 3.4Mb/s）；
- (3) 时钟同步。
- (4) 支持主从 IIC 操作。
- (5) 支持 7 位或 10 位处理。
- (6) 支持 7 位或 10 位组合格式传输。
- (7) Bulk 传输模式。
- (8) 忽略 CBUS 地址（是 IIC 的前身，常常与 IIC 共用 IIC 总线）。
- (9) 传输或接收 buffers。
- (10) 支持中断或轮询模式
- (11) 在所有总线速度下处理位和字节。
- (12) 和 APB 外设相同的简单软件接口。
- (13) 配置软件驱动支持的元件参数。
- (14) DMA 握手接口和 DMAC 握手接口兼容。
- (15) 可编程数据线 SDA 保持时间。
- (16) 支持总线清除特性。
- (17) 支持器件 ID 特性。
- (18) 支持超快速模式。

2.2 寄存器介绍

2-1 CON

地址偏移：0x00

Bit	名称	复位值	读/写	功能
31:20	保留	12'b0	-	-
19	SMBUS_PERSISTANT_SLV_ADDR_EN	0	RW	该位控制 IIC 从机作为固定和非固定从机。如果从机为 non-PSA，则从机清除通用和定向复位 ARP 指令的地址有效标志位，否则地址有效标志位将被置 1。 0: 从机为 non-PSA 1: 从机为 PSA
18	SMBUS_ARP_EN	0	RW	在 SMBus 模式下，该位控制 IIC 控制器是否使能地址解析逻辑。从模式下会对地址解析逻辑指令解码并响应它。IIC 控制器从机也包括了地址解析协议指令的的 PEC 字节的产生和有效性。该位仅在从模式下有效。

2 IIC

17	SMBUS_SLAVE_QUICK_CMD_EN	0	RW	IIC 从机接收命令控制位, 该位仅在从模式下有效。 0: IIC 从机接收除 Quick 以外的所有总线协议 1: 在 SMBus 模式下, IIC 从机只接收 Quick 指令
16	OPTIONAL_SAR_CTRL	0	RW	IC_OPTIONAL_SAR 寄存器使用使能位, IC_OPTIONAL_SAR 的值为另外的从机地址。在该位置 1 前用户必须在 IC_OPTIONAL_SAR 寄存器中配置一个有效的地址。
15:12	保留	-	-	-
11	BUS_CLEAR_FEATURE_CTRL	0	RW	主模式总线清除功能使能位, 该位仅在主模式下有效。 0: 不使能总线清除功能 1: 使能总线清除功能
10	STOP_DET_IF_MASTER_ACTIVE	0	RW	主模式 STOP_DET 中断发布控制位。 0: 不论主机是否激活都发布 STOP_DET 中断 1: 仅当主机激活时发布 STOP_DET 中断
9	RX_FIFO_FULL_HOLD_CTRL	0	RW	IIC 总线保持控制位。该位表示当 Rx FIFO 在 RX_BUFFER_DEPTH 中物理地址已达到 RX_BUFFER_DEPTH 时, IIC 是否保持总线。
8	TX_EMPTY_CTRL	0	RW	TX_EMPTY 中断产生控制位。
7	STOP_DET_IF_ADDRESSED	0	RW	从模式 STOP_DET 中断发布控制位。 0: 无论是否寻址都发布 STOP_DET 1: 仅当对其寻址时才发布 STOP_DET 中断
6	IC_SLAVE_DISABLE	1	RW	从机使能控制位。复位后用户可以选择使能或关闭从机, 这意味着软件并不是必须配置从机的。默认情况下, 总是使能从机(复位状态中也是)。复位后如果需要关闭从机, 则设置本位为 1。将本位置 1 后, IIC 只能用作主机并且不能对从机做出任何动作。 0: 使能从机 1: 关闭从机
5	IC_RESTART_EN	1	RW	主模式重启控制位, 控制当器件作为主机时是否重启。 0: 不重启 1: 重启
4	IC_10BITADDR_MASTER	0	RO	主模式下 IIC 响应地址控制位。 0: 7-bit 寻址 1: 10-bit 寻址
3	IC_10BITADDR_SLAVE	0	RW	从模式下 IIC 响应地址控制位。当作为从机时, 该位控制 IIC 响应为 7bit 或 10bit 的地址。 0: 7-bit 寻址 1: 10-bit 寻址
2:1	SPEED	10	RW	IIC 工作速度控制位。该位控制 IIC 在哪种速度下工作。

2 IIC

				01: 标准模式 (0 to 100 Kb/s) 10: 快速模式 (<= 400 Kb/s)或快速 plus 模式 (<=1000 Kb/s) 11: 高速模式(<= 3.4 Mb/s)
0	MASTER_MODE	1	RW	IIC 主模式使能位。 0: 不使能主模式 1: 使能主模式

2-2 TAR

地址偏移: 0x04

Bit	名称	复位值	读/写	功能
31:17	保留	15'b0	-	-
16	SMBUS_QUICK_CMD	0	RW	Quick 指令执行标志位。当 SPECIAL (IC_TAR[11]) 位置 1 时, 该位指示 IIC 是否执行 Quick 指令。 0: 未执行 1: 执行
15:14	保留	-	-	-
13	Device_ID	0	RW	Device-ID 执行控制位。该位指示, 当 SPECIAL (IC_TAR[11]) 位置 1 时, 主机是否执行在 IC_TAR[6:0]中提到的特定从机的 Device-ID。 0: 在 IC_TAR[6:0]中提到的 Device-ID 没有被执行且检查 GC_OR_START (TAR[10]) 位判断是 IIC 执行了 general call 还是 START byte 指令。 1: 传输 Device-ID, 并且从目的从机中接收基于 Tx-FIFO 的读指令数的字节并将其放入 Rx-FIFO 中。
12	IC_10BITADDR_MASTER	0	RW	IIC 启动传输的寻址模式选择位。当主模式下, 该位控制 IIC 在 7-bit 或 10-bit 寻址模式下开始传输。 0: 7-bit 寻址 1: 10-bit 寻址
11	SPECIAL	0	RW	软件执行选择位。该位指示软件执行 Device-ID, General Call 或者 START BYTE 指令。 0: 忽略位 GC_OR_START (TAR[10]) 并且正常使用 IC_TAR。 1: 执行 Device-ID (TAR[13]) 位或 GC_OR_START (TAR[10]) 位指定的特殊的 IIC 指令
10	GC_OR_START	0	RW	IIC 执行选择位。当 SPECIAL (TAR[11]) 置 1 和 Device-ID (TAR[13]) 置 0 时, 该位指示 IIC 执行 General Call 或 START byte 指令。 0: General Call Address – 发出 General Call 之后只能执行写操作。尝试读操作会导致 IC_RAW_INTR_STAT 寄存器的位 6 (TX_ABRT)

2 IIC

				置 1。IIC 会一直保持 General Call 模式直到 SPECIAL (TAR[11]) 清 0。 1: START BYTE
9:0	IC_TAR	10'h055	RW	主机目的地址。当发送一个 General Call 指令时 IC_TAR 位会被忽略。为了产生 START BYTE 指令, CPU 需要向 IC_TAR 写入数据。

2-3 SAR

地址偏移: 0x08

Bit	名称	复位值	读/写	功能
31:10	保留	22'b0	-	-
9:0	IC_SAR	10'h055	RW	当 IIC 作为从机时, 该位会保存从机地址。7 位寻址模式下只使用 IC_SAR[6:0]。仅当 IIC 接口不使用时才能向该寄存器写入数据, 即 IC_ENABLE[0] 置 0。其他时刻写操作无效。

2-4 DATA_CMD

地址偏移: 0x10

Bit	名称	复位值	读/写	功能
31:12	保留	20'b0	-	-
11	FIRST_DATA_BYTE	0	RO	第一个接收到的数据字节。该位指示在主机接收或从机接收的模式下接收传输的寻址阶段之后第一个接收到的数据字节。
10	RESTART	0	WO	RESTART 发送控制位。该位指示在发送或接收前是否已发布了 RESTART 信号。 0: 当 IC_RESTART_EN (CON[5]) 为 1 时只有当上一个命令发布的传输方向被更改时才会发出 RESTART; 如果 IC_RESTART_EN (C_CON[5]) 为 0, 则发出一个 STOP 后发出一个 START 1: 如果 IC_RESTART_EN (C_CON[5]) 为 1, 不管前一个命令的传输方向是否被改变, 在数据发送或接收前 (根据 CMD (DATA_CMD[8]) 的值决定) 将发出一个 RESTART; 如果 IC_RESTART_EN (C_CON[5]) 为 0, 发出一个 STOP 后将发出一个 START
9	STOP	0	WO	STOP 发送控制位。该位控制在发送或接收前发送 STOP 信号。 0: 不管 Tx FIFO 是否为空, 都不会在该字节后发出 STOP。如果 Tx FIFO 不为空, 主机会继续发送或接收数据 (由 CMD (DATA_CMD[8]) 位决定); 如果 Tx FIFO 为空, 主机会将 SCL 线保持为低电平并且使总线停止, 直到 Tx FIFO 中有新命令 1: 不管 Tx FIFO 是否为空, 在该字节后将发送 STOP。如果 Tx FIFO 不为空, 主机将立即通过发

2 IIC

				送 START 和仲裁总线来开始新传输
8	CMD	0	WO	<p>读写控制位。当 IIC 作为从机时，该位不控制传输方向；仅当作为主机时才控制传输方向。</p> <p>0: 写操作 1: 读操作</p> <p>当在 Tx FIFO 中输入指令时，该位会区分指令为读/写指令。在从机接收的模式下，该位会被忽略，因为不要求对该寄存器执行写操作；在从机发送的模式下，设置 CMD 为 0 说明发送 DATA_CMD 寄存器中的数据。</p> <p>在设置该位时你应该记得下列几点：如果 SPECIAL (TAR[11]) 不被清零，在发送 General Call 命令后尝试执行读操作会导致 TX_ABRT 中断 (RAW_INTR_STAT[6])。如果在接收到 RD_REQ 中断后向该位写入“1”，则发生 TX_ABRT 中断。</p>
7:0	DAT	8'b0	RW	<p>该位包含了要在 IIC 总线中发送或接收的数据。如果你想向该寄存器写入数据并执行读操作，该位会被忽略。当你读取该寄存器时，DAT 会返回 IIC 接口读取到的数据。</p>

2-5 SS_SCL_HCNT

地址偏移: 0x14

Bit	名称	复位值	读/写	功能
31:16	保留	16'b0	-	-
15:0	IC_SS_SCL_HCNT	16'h0028	RW	<p>该寄存器设置了标准模式下 SCL 时钟高周期计数。必须在任何 I2C 总线事务发生之前设置该寄存器，以确保正确的 I/O 时序。只有当 IIC 接口不使能时 (ENABLE[0]置 0) 才能对该寄存器执行写操作，其他时刻执行写操作无效。最小值为 6，在硬件会阻止写入值小于最小值，且如果值小于 6 会导致 6 被设置。</p>

2-6 SS_SCL_LCNT

地址偏移: 0x18

Bit	名称	复位值	读/写	功能
31:16	保留	16'b0	-	-
15:0	IC_SS_SCL_LCNT	16'h002f	RW	<p>标准模式下 SCL 时钟低周期计数控制位，必须在任何 I2C 总线事务发生之前设置该寄存器，以确保正确的 I/O 时序。只有当 IIC 接口不使能时 (ENABLE[0]置 0) 才能对该寄存器执行写操作，其他时刻执行写操作无效。当 IIC 接口不使能时该寄存器只能执行写操作。其他时刻执行写操作无效。最小值为 8；硬件会阻止写入值小于最小值，且如果小于最小值 8 会被设置。</p>

2 IIC
2-7 INTR_STAT

地址偏移: 0x2C

Bit	名称	复位值	读/写	功能
31:15	保留	17'b0	-	-
14	R_SCL_STUCK_AT_LOW	0	RO	SCL 低电平 STUCK 控制位。该位指示是否 SCL 线卡在 IC_SCL_STUCK_LOW_TIMEOUT 个 ic_clk 周期的低电平上。
13	R_MST_ON_HOLD	0	RO	该位指示是否主机保持总线并且 Tx FIFO 为空。
12	R_RESTART_DET	0	RO	该位指示当 IIC 在从机模式下运行且从机是寻址从机时, I2C 接口上是否会发生 RESTART。 注意: 但是, 在高速模式或 START BYTE 传输期间, 根据 I2C 协议, RESTART 位于地址字段之前。 在这种情况下, 当发出 RESTART 时从机不是被寻址的从机, 因此 IIC 不会生成 RESTART_DET 中断
11	R_GEN_CALL	0	RO	只有当接收到 General Call 地址并确认时设置该位。 通过禁用 IIC 或者 CPU 读取 IC_CLR_GEN_CALL[0]时清除该位。IIC 将接收的数据存储在 Rx buffe 中
10	R_START_DET	0	RO	该位指示在不管 IIC 工作在主模式还是从模式下时选择发生 START 或 RESTART。
9	R_STOP_DET	0	RO	STOP 发生控制位。无论 IIC 工作在主模式还是从模式下, 该位指示 IIC 接口会/不会发生 STOP。 从模式下: 如果 STOP_DET_IFADDRESSED (CON[7])=1, 只有当从机被寻址时才会发生 STOP_DET 中断。 注意: 在 General Call 地址期间, 如果 STOP_DET_IFADDRESSED = 1, 即使从机通过产生 ACK 来响应 General Cal 地址, 从机也不会发出 STOP_DET 中断。 如果 STOP_DET_IFADDRESSED (CON[7])=0, 无论是否被寻址都会发出 STOP_DET 中断。 主模式下: 如果 STOP_DET_IF_MASTER_ACTIVE (CON[10])=1, 只有当主机激活时才会发出 STOP_DET 中断。 如果 STOP_DET_IFADDRESSED (CON[10])=0, 无论主机是否为激活状态都会发出 STOP_DET 中断。
8	R_ACTIVITY	0	RO	该位捕获并保持 IIC 激活状态直到该位被清除。有以下四种方法清除:

2 IIC

				<ul style="list-style-type: none"> ■ 禁用 IIC ■ 向 CLR_ACTIVITY 寄存器执行读操作 ■ 向 CLR_INTR 寄存器执行读操作 ■ 系统复位 注意：一旦该位被设置，只能用上述四种方法才能清除。即使 IIC 模块空闲，该位仍保持置位状态，直到清零为止。
7	R_RX_DONE	0	RO	当 IIC 作为从机发送时，如果主机没有确认最后一个发送字节，该位置 1，传输结束。通常用于传输的最后一个字节，以指示传输结束。
6	R_TX_ABRT	0	RO	该位指示作为 I2C 发送器的 IIC 是否无法完成对发送 FIFO 内容的预期操作。这种情况既可以作为 I2C 主设备发生，也可以作为 I2C 从设备发生，并称为“发送中止”。 注意：当 TX_ABRT_SOURCE 寄存器跟踪的任何事件导致传输中止时，I2C 只刷新/重置/清空 TX_FIFO。Tx FIFO 会保持刷新状态知道 CLR_TX_ABRT 寄存器被执行读操作。一旦执行读操作 Tx FIFO 将从 APB 接口接收更多数据字节。
5	R_RD_REQ	0	RO	当 IIC 作为从机并且另一个 IIC 主机尝试从该 IIC 从机上读取数据时，该位置 1。在发生中断前 IIC 保持总线为等待状态即 SCL = 0，这意味着从机被请求传输数据的远程主机寻址。处理器需要必须响应中断并将响应的数据写进 DATA_CMD 寄存器中。当处理器对 CLR_RD_REQ 寄存器执行读操作后此位清 0。
4	R_TX_EMPTY	0	RO	TX_EMPTY 中断响应的行为根据 CON 寄存器中的 TX_EMPTY_CTRL 的选择而不同。 当 TX_EMPTY_CTRL = 0 时： 如果传输 buffer 小于或等于 TX_TL 寄存器上的值时该位置 1。 当 TX_EMPTY_CTRL = 1 时： 如果传输 buffer 小于或等于 TX_TL 寄存器上的值并且从最近弹出的内部移位寄存器的传输地址/数据的指令完成，则该位置 1。 当缓冲区级别超过阈值时，硬件将自动清除它。 当 ENABLE[0] 设置为 0 时，TX FIFO 将被刷新并保持重置状态。此时 TX FIFO 没有数据，所以这个位被设置为 1，前提是主从状态机中有活动。当不再有任何活动且当 ic_en = 0 时，该位设置为 0
3	R_TX_OVER	0	RO	在传输过程中，如果传输 buffer 达到

2 IIC

				IC_TX_BUFFER_DEPTH 并且处理器通过向 DATA_CMD 寄存器写入数据来尝试发出另一个 IIC 指令, 该位置 1。当禁用 IIC 并且当 ic_en = 0 时, 该位保持电平直到主机或从机状态机进入空闲状态, 该中断被清除。
2	R_RX_FULL	0	RO	当接收 buffer 达到或超过 RX_TL 寄存器的 RX_TL 阈值时设置该位。但 buffer 电平低于阈值时, 该位会被自动清 0。如果模块被禁用 (ENABLE [0] = 0), 则 RX FIFO 被刷新并保持复位状态; 因此 RX FIFO 一直未滿。因此, 不管活动是否继续, 一旦 ENABLE [0] 设置为 0, 该位就会被清除。
1	R_RX_OVER	0	RO	如果接收 buffer 已满后又接收来自外部 IIC 的另一字节, 该位置 1。IIC 会确认, 但 FIFO 已满后任何接收到的数据都会丢失。如果禁用 IIC (ENABLE [0] = 0), 该位保持电平直到主机或从机的状态机空闲并且当 ic_en = 0 时, 中断清 0。
0	R_RX_UNDER	0	RO	当读取 DATA_CMD 寄存器时, 如果处理器尝试读取接收 buffer, 该位置 1。如果禁用该模块 (ENABLE [0] = 0) 且当 ic_en = 0 时, 该位会保持电平直到主机或从机状态机空闲, 并且清除中断。

2-8 INTR_MASK

地址偏移: 0x30

Bit	名称	复位值	读/写	功能
31:15	保留	17'b0	-	-
14	M_SCL_STUCK_AT_LOW	0	RW	该位屏蔽 INTR_STAT 寄存器中的 R_SCL_STUCK_AT_LOW 中断位。
13	M_MST_ON_HOLD	0	RW	该位屏蔽 INTR_STAT 寄存器中的 R_MST_ON_HOLD 中断位。
12	M_RESTART_DET	0	RW	该位屏蔽 INTR_STAT 寄存器中的 R_RESTART_DET 中断位。
11	M_GEN_CALL	0	RW	该位屏蔽 INTR_STAT 寄存器中的相应的中断状态位。
10	M_START_DET	0	RW	该位屏蔽 INTR_STAT 寄存器中的相应的中断状态位。
9	M_STOP_DET	0	RW	该位屏蔽 INTR_STAT 寄存器中的相应的中断状态位。
8	M_ACTIVITY	0	RW	该位屏蔽 INTR_STAT 寄存器中的相应的中断状态位。
7	M_RX_DONE	0	RW	该位屏蔽 INTR_STAT 寄存器中的相应的中断状态位。
6	M_TX_ABRT	0	RW	该位屏蔽 INTR_STAT 寄存器中的相应的中断状态位。

2 IIC

5	M_RD_REQ	0	RW	该位屏蔽 INTR_STAT 寄存器中的相应的中断状态位。
4	M_TX_EMPTY	0	RW	该位屏蔽 INTR_STAT 寄存器中的相应的中断状态位。
3	M_TX_OVER	0	RW	该位屏蔽 INTR_STAT 寄存器中的相应的中断状态位。
2	M_RX_FULL	0	RW	该位屏蔽 INTR_STAT 寄存器中的相应的中断状态位。
1	M_RX_OVER	0	RW	该位屏蔽 INTR_STAT 寄存器中的相应的中断状态位。
0	M_RX_UNDER	0	RW	该位屏蔽 INTR_STAT 寄存器中的相应的中断状态位。

2-9 RX_TL

地址偏移: 0x38

Bit	名称	复位值	读/写	功能
31:8	保留	24'b0	-	-
7:0	RX_TL	8'h00	RW	接收 FIFO 的阈值级别。控制触发 RX_FULL 中断的入口级别（或更高级别），有效范围是 0 到 255，并且硬件不允许该值大于 buffer 的最大值。如果该值大于 buffer 最大值，最终设置的值将为 buffer 的最大值。配置 0 表示阈值为 1，配置 255 表示阈值为 256。

2-10 TX_TL

地址偏移: 0x3C

Bit	名称	复位值	读/写	功能
31:8	保留	24'b0	-	-
7:0	TX_TL	8'h00	RW	发送 FIFO 的阈值级别。控制触发 TX_EMPTY 中断的入口级别（或更低级别）。有效范围是 0 到 255，并且该值不能大于 buffer 的最大值。如果该值大于 buffer 最大值，那么设置的实际值将为 buffer 的最大值。配置 0 表示阈值为 1，配置 255 表示阈值为 256。

2-11 DMA_TDLR

地址偏移: 0x8C

Bit	名称	复位值	读/写	功能
31:TX_ABW	保留	24'b0	-	-
TX_ABW-1:0	DMATDL	8'h00	RW	传输数据级别。该位控制发送逻辑的 DMA 响应的级别，这等于 watermark 级别。当 TX FIFO 中的有效数值小于或等于该值时产生 DMA_TX_REQ 信号，并且 TDMAE = 1。

2-12 DMA_RDLR

地址偏移: 0x90

2 IIC

Bit	名称	复位值	读/写	功能
31:RX_ABW	保留	24'b0	-	-
RX_ABW-1:0	DMARDL	8'h00	RW	接收数据级别。该位控制接收逻辑的 DMA 响应的级别，watermark 级别 = DMARDL+1。也就是说，当进入接收 FIFO 的有效值大于或等于该值 + 1 并且 RDMAE = 1，产生 DMA_RX_REQ。例如，但 DMARDL 为 0 且当前接收 FIFO 中的值为 1 或更大值时将产生 DMA_RX_REQ。

2-13 ENABLE

地址偏移：0x6C

Bit	名称	复位值	读/写	功能
31:19	保留	-	-	-
18	SMBUS_ALERT_EN	0	RW	SMBALERT 信号的断言控制位。在检测到来自主机的确认响应地址的确认后，该寄存器位自动清零。 0: 不断言 SMBALERT 信号 1: 断言 SMBALERT 信号
17	SMBUS_SUSPEND_EN	0	RW	SMBSUS 信号的断言控制位。 0: 不断言 SMBSUS 信号 1: 断言 SMBSUS 信号
16	SMBUS_CLK_RESET	0	RW	SMBus Master Clock 复位控制位。仅当主机空闲时该位才能置 1。 0: 不复位 SMBus Master Clock，系统正常运行 1: 复位 SMBus Master Clock
15:4	保留	-	RW	保留
3	SDA_STUCK_RECOVERY_ENABLE	0	RW	如果 SDA 通过 TX_ABRT 中断 (TX_ABRT_SOURCE[17]) 保持低电平，则该位会被作为一个控制按钮初始化 SDA 的恢复机制 (即发送最多 9 个 SCL 时钟和 STOP 信号以释放 SDA 线)，该位将自动清 0。
2	TX_CMD_BLOCK	0	RW	主模式下： 0: 只要 Tx FIFO 中第一个数据可用，I2C 总线自动开始数据传输。 1: 即使 Tx FIFO 有数据要传输，也会阻止 I2C 总线上的数据传输。 注意：如果要阻止执行主命令，仅在 Tx FIFO 为空 (STATUS [2] = 1) 并且主机处于空闲状态 (IC_STATUS [5] = 0) 时才设置此位为 1。在取消设置 TX_CMD_BLOCK 位之前，不会执行放入 Tx FIFO 的任何其他命令
1	ABORT	0	RW	ABORT 控制位，该位控制 IIC 传输终止。 0: ABORT 未启动或 ABORT 已完成 1: 正在执行 ABORT 操作

2 IIC

				注意：在主模式下软件可以通过设置此位终止 IIC 传输。仅当 ENABLE 位已设置为 1（即使能 IIC）后该位的设置才有效，否则控制器将忽略任何写入该位的操作。一旦该位置 1，将无法通过软件清除该位。为响应 ABORT，控制器在完成当前传输后发出 STOP 并刷新 Tx FIFO，然后 ABORT 操作后发出 TX_ABORT 中断。发生 ABORT 操作后该位会自动清 0。
0	ENABLE	0	RW	<p>IIC 使能控制位。</p> <p>0: 禁用 IIC (TX 和 RX FIFO 均保持在擦除状态)</p> <p>1: 使能 IIC</p> <p>注意：软件可以在 IIC 处于活动状态时禁用它。但是，务必注意确保正确禁用 IIC。禁用 IIC 时会发生下列：</p> <ul style="list-style-type: none"> ➤ 刷新 TX FIFO 和 RX FIFO ➤ 在 IIC 空闲之前，INTR_STAT 寄存器中的状态位都是激活状态。 <p>当模块正在传输时，如果完成了当前的传输，模块将停止并删除传输 buffer 中的内容。如果模块正在接收数据，IIC 会在字节结束时将停止当前传输，并且不会向发送方告知已接收。</p>

2-14 DMA_CR

地址偏移：0x88

Bit	名称	复位值	读/写	功能
31:2	保留	-	-	-
1	TDMAE	0	RW	DMA 发送使能位，该位控制使能/禁止发送 FIFO DMA 的通道。 0: 禁止发送 DMA 1: 使能发送 DMA
0	RDMAE	0	RW	接收 DMA 使能位，该位控制使能/禁止接收 FIFO DMA 的通道。 0: 禁止接收 DMA 1: 使能接收 DMA

2-5 STATUS

地址偏移：0x70

Bit	名称	复位值	读/写	功能
31:21	保留	11'b0	-	-
20	SMBUS_ALERT_STATUS	0	R	该位指示输入信号的状态是否为 ic_smbus_alert_in_n。当 SMBus 设备断言 SMBus Alert 信号时，此信号会被断言。
19	SMBUS_SUSPEND_STATUS	0	R	该位指示输入信号的状态是否为 ic_smbus_sus_in_n。当 SMBus 主机断言 SMBus Suspend 时，此信号会被断言。

2 IIC

18	SMBUS_SLAVE_ADDR_RESOLVED	0	R	SMBus 从地址解析控制位, 该位指示 ARP 主设备是否已解析 SMBus 从设备地址 (SAR [6: 0]) 0: 不解析 1: ARP 主设备已解析 SMBus 从地址
17	SMBUS_SLAVE_ADDR_VALID	0	R	SMBus 从地址生效控制位, 该位指示 SMBus 从地址 (SAR [6: 0]) 是否有效。 0: 无效 1: 有效
16	SMBUS_QUICK_CMD_BIT	0	R	该位指示接收到的 Quick 命令的 R/W 位, 当用户读该位后会自动清 0。
15:12	保留	0	-	-
11	SDA_STUCK_NOT_RECOVERED	0	R	该位指示执行复原机制后 SDA 保持低电平无法恢复。
10	SLV_HOLD_RX_FIFO_FULL	0	R	该位表示当 Rx FIFO 为满且接收到一个附加字节后, 在从模式下保持总线。
9	SLV_HOLD_TX_FIFO_EMPTY	0	R	该位表示当 Tx FIFO 为空时, 从模式下会保持总线以响应读操作。总线将一直保持直到 Tx FIFO 中有数据可以传输以响应读操作。
8	MST_HOLD_RX_FIFO_FULL	0	R	该位表示当 Rx FIFO 满并且接收额外的字节时, 会保持总线在主模式下。
7	MST_HOLD_TX_FIFO_EMPTY	0	R	因为 Tx FIFO 为空且前一个传输命令没有设置 STOP 位, 该位指示当主机保持总线时保持总线。
6	SLV_ACTIVITY	0	R	从机 FSM 工作状态控制位。当从机 FSM 未处于空闲状态时, 该位置 1。 0: 从机 FSM 处于空闲状态, 所以 IIC 的从机不工作 1: 从机 FSM 为非空闲状态, IIC 的从机工作
5	MST_ACTIVITY	0	R	主机 FSM 工作状态控制位。当主机 FSM 为非空闲状态时, 该位置 1。 0: 主机 FSM 处于空闲状态, 所以 IIC 的主机不工作 1: 主机 FSM 为非空闲状态, IIC 的主机工作 注意: ACTIVITY (STSTUS[0]) 是 SLV_ACTIVITY (STSTUS[6]) 和 MST_ACTIVITY (STSTUS[5]) 的逻辑或。
4	RFF	0	R	接收 FIFO 全满标志位。当接收 FIFO 满时设置该位。当接收 FIFO 包含 1 个或多个空位时, 此位清 0。 0: 接收 FIFO 未滿 1: 接收 FIFO 已滿
3	RFNE	0	R	接收 FIFO 非空标志位。当接收 FIFO 包含 1 个或多个条目时该位置 1。当接收 FIFO 为空时该位清 0。

2 IIC

				0: 接收 FIFO 为空 1: 接收 FIFO 不为空
2	TFE	0	R	发送 FIFO 全空标志位。当发送 FIFO 清空时，该位置 1。若发送 FIFO 包含 1 个或多个条目时，该位清 0。该位不会请求中断。 0: 发送 FIFO 不为空 1: 发送 FIFO 为空
1	TFNF	0	R	发送 FIFO 未空标志位。当发送 FIFO 未空时该位将置 1，且当发送 FIFO 已空时该位清 0。 0: 发送 FIFO 已空 1: 发送 FIFO 未空
0	ACTIVITY	0	R	I2C 工作状态位。 0: 不激活 IIC 1: 激活 IIC

2-16 CLR_RX_UNDER

地址偏移: 0x44

Bit	名称	复位值	读/写	功能
31:1	保留	-	-	-
0	CLR_RX_UNDER	0	R	对该寄存器执行读操作将清除 RX_UNDER 中断。

2-17 CLR_RX_OVER

地址偏移: 0x48

Bit	名称	复位值	读/写	功能
31:1	保留	-	-	-
0	CLR_RX_OVER	0	R	对该寄存器执行读操作可以清除 RX_OVER 中断。

2-18 CLR_TX_OVER

地址偏移: 0x4C

Bit	名称	复位值	读/写	功能
31:1	保留	-	-	-
0	CLR_TX_OVER	0	R	对该寄存器执行读操作可以清除 TX_OVER 中断。

2-19 CLR_RD_REQ

地址偏移: 0x50

Bit	名称	复位值	读/写	功能
31:1	保留	-	-	-
0	CLR_RD_REQ	0	R	该寄存器执行读操作可以清除 RD_REQ 中断。

2-20 CLR_TX_ABRT

地址偏移: 0x54

Bit	名称	复位值	读/写	功能
31:1	保留	-	-	-
0	CLR_TX_ABRT	0	R	对该寄存器执行读操作可以清除 TX_ABR 中断。这也会从刷新/复位状态中释放 Tx FIFO，允许更多数据写入 Tx FIFO。

2-21 CLR_RX_DONE

2 IIC

地址偏移: 0x58

Bit	名称	复位值	读/写	功能
31:1	保留	-	-	-
0	CLR_RX_DONE	0	R	对该寄存器执行读操作可以清除 RX_DONE 中断。

2-22 CLR_ACTIVITY

地址偏移: 0x5C

Bit	名称	复位值	读/写	功能
31:1	保留	-	-	-
0	CLR_ACTIVITY	0	R	ACTIVITY 中断状态标志位。如果 IIC 不再启动, 对该寄存器执行读操作将清除 ACTIVITY 中断。如果 IIC 在总线上保持工作, 那么将保持 ACTIVITY 中断。如果禁用 IIC 并且总线上没有其他的工作, 该位将由硬件自动清 0。从此寄存器中可以读取 ACTIVITY 中断的状态。

2-23 CLR_STOP_DET

地址偏移: 0x60

Bit	名称	复位值	读/写	功能
31:1	保留	-	-	-
0	CLR_STOP_DET	0	R	对该寄存器执行读操作将清除 STOP_DET 中断。

2-24 CLR_START_DET

地址偏移: 0x64

Bit	名称	复位值	读/写	功能
31:1	保留	-	-	-
0	CLR_START_DET	0	R	对该寄存器执行读操作将清除 START_DET 中断。

2-25 CLR_GEN_CALL

地址偏移: 0x68

Bit	名称	复位值	读/写	功能
31:1	保留	-	-	-
0	CLR_GEN_CALL	0	R	对该寄存器执行读操作将清除 GEN_CALL 中断。

2-26 CLR_RESTART_DET

地址偏移: 0xb4

Bit	名称	复位值	读/写	功能
31:1	保留	-	-	-
0	CLR_RESTART_DET	0	R	对该寄存器执行读操作将清除 RESTART_DET 中断。

2-27 CLR_SCL_STUCK_DET

地址偏移: 0xa8

Bit	名称	复位值	读/写	功能
31:1	保留	-	-	-
0	CLR_SCL_STUCK	0	R	对该寄存器执行读操作将清除 SCL_STUCK_DET 中断。

3 UART

3.1 特性

- (1) 支持 9 位串行数据传输。
- (2) 错误启动位检测。
- (3) 支持可编程小数波特率
- (4) 支持多点 RS485 接口。
- (5) 基于 16550 行业标准的功能。
- (6) 支持可编程 FIFO 启动/关闭。
- (7) 由下列公式可计算可编程串行数据波特率：波特率 = (串行时钟频率)/(16×除数)

3.2 寄存器介绍

3-1 RBR

地址偏移：0x00

Bit	名称	复位值	读/写	功能
31:9	保留	23'b0	-	-
8	Receive Buffer register (第 9 位为 MSB)	0	R	该位表示 UART 模式下，在串行输入端口 (sin) 接收到的 MSB 第 9 位的数据字节。
7:0	Receive Buffer Register (位 7 到位 0 为 LSB)	8'b0	R	该位表示在 UART 模式下的串行输入端口 (sin) 或红外模式下的串行红外输入端口 (sir_in) 接收到的数据字节。只有当 DR 位 (LSR[0]) 置 1 时，该位才有效。 如果在非 FIFO 模式下或关闭 FIFO (即 FCR[0]置 0) 的情况下，在下一个数据到来前此字段中的数据会被读取，否则数据将被覆盖导致溢出错误。 在 FIFO 模式下并且使能 FIFO 时 (FIFO Enable 位即 FCR[0]置 1)，该寄存器会访问接收 FIFO 的顶部。在下一个数据到来之前，如果接收 FIFO 已满并且不对该寄存器执行读操作，将保存 FIFO 中已有的数据，但任何新传入的数据将丢失且发生溢出错误。

3-2 THR

地址偏移：0x00

Bit	名称	复位值	读/写	功能
31:9	保留	23'b0	-	-
8	Transmit Holding Register (第 9 位为 MSB)	0	W	该位表示在 UART 模式下，串行输出端口 (sout) 将发送数据。
7:0	Transmit Holding Register (LSB 8 bits)	8'b0	W	该位表示在 UART 模式下串行输出端口 (sout) 或红外模式下的串行红外输出端口 (sir_out_n) 将

3 UART

				<p>发送数据。当 THRE 位置 1 时 (LSR[5])，数据将写入 THR。</p> <p>在关闭 FIFO 或非 FIFO 的模式下 (FIFO Enable 位即 FCR[0]置 0) 且将 THRE 置 1 时，向 THR 写入一个字符将清除 THRE 位。在 THRE 再次置 1 前向 THR 写入数据将造成溢出错误。</p> <p>在启动 FIFO 且为 FIFO 模式下 (FIFO Enable 位即 FCR[0]置 0) 并将该 THRE 位置 1 时，在 FIFO 满前将向 THR 写入 x 个字符数据。x (默认为 16) 由配置时用户设置的 FIFO 深度所决定。当 FIFO 满时如果向其中写入数据将导致写入的数据丢失。向 FIFO 为空时，向 THR 写入任意个字符数据 (小于或等于 x) 可清除 THRE 位。此外，当 THRE 触发中断时用户可以通过读取 IIR 寄存器清除 THRE 位。</p>
--	--	--	--	--

3-3 DLL

地址偏移: 0x00

Bit	名称	复位值	读/写	功能
31:8	保留	24'b0	-	-
7:0	Divisor Latch (Low)	8'b0	RW	Divisor Latch 的低 8 位, 可读可写。此字段表示串口波特率的分频数。 输出波特率等于串行时钟 (当用 1 个时钟时是 pclk, 当用 2 个时钟时是 sclk) 频率除以分频数的 16 倍, 公式如下: 波特率 = (串行时钟频率) / (16 * 分频数)

3-4 DLH

地址偏移: 0x04

Bit	名称	复位值	读/写	功能
31:8	保留	24'b0	-	-
7:0	Divisor Latch (High)	8'b0	RW	Divisor Latch 的高 8 位, 可读可写。该位包含串口波特率的分频数。 输出的波特率等于串行时钟频率 (当用 1 个时钟时是 pclk, 当用 2 个时钟时是 sclk) 除以波特率分频数的 16 倍。公式如下: 波特率 = (串行时钟频率) / (16 * 分频数)

3-5 IER

地址偏移: 0x04

Bit	名称	复位值	读/写	功能
31:8	保留	24'b0	-	-
7	PTIME	0	RW	THRE 中断使能位。用于启动/禁用 THRE 中断。 0: 不使能 1: 使能
6:4	保留	000	-	-

3 UART

3	EDSSI	0	RW	调制解调器状态中断使能位，该位用于启动/关闭调制解调器状态中断。这是优先级排第四的中断。 0：不使能 1：使能
2	ELSI	0	RW	接收器线路状态中断使能位，该位用于控制接收器线路状态中断的使能/关闭。该中断优先级最高。 0：不使能 1：使能
1	ETBEI	0	RW	发送保持寄存器为空时发出的中断的使能位。该位用于使能/关闭发送保持寄存器空的中断。该中断为第三优先级。 0：不使能 1：使能
0	ERBFI	0	RW	接收数据有效的中断的使能位。该位用于 FIFO 模式且启动 FIFO 的情况下，使能/关闭接收数据有效中断和字符超时中断。这两个中断都是第二优先级。 0：不使能 1：使能

3-6 IIR

地址偏移：0x08

Bit	名称	复位值	读/写	功能
31:8	保留	24'b0	-	-
7:6	FIFOs Enabled (or FIFOSE)	00	R	FIFO 使能控制位，该位用于启动或关闭 FIFO。 00：不使能 11：使能
5:4	保留	00	-	-
3:0	Interrupt ID (or IID)	0001	R	中断 ID。此字段指示最高优先级中断挂起有下列类型可选： 0000：调制解调器状态 0001：无中断挂起 0010：THR 为空 0100：接收数据有效 0110：接收器线状态 0111：正在检测 1100：字符超时

注意：当 THRE 触发中断时，向 IIR 寄存器读取数据可清零 THRE 位。

3-7 FCR

地址偏移：0x08

Bit	名称	复位值	读/写	功能
31:8	保留	24'b0	-	-
7:6	RCVR Trigger (or RT)	00	W	RCVR 触发信号选择位，该位用于在产生接收数据有效中断时选择接收 FIFO 中的触发电平，在该接

3 UART

				收器 FIFO 中生成接收数据可用中断。 在自动流控制模式下, 仅当禁用 RTC_FCT 时, 此触发信号用于确定什么时候不断言 rts_n 信号。支持以下触发电平的时刻: 00: 当 FIFO 中只有 1 个字符时 01: 当 FIFO ¼ 满时 10 :当 FIFO ½ 满时 11: 当比 FIFO 满时少 2 个数时
5:4	TX Empty Trigger (or TET)	00	W	TX FIFO 为空触发信号选择位, 该位选择空阈值电平。激活时, 达到该空阈值电平时会生成 THREE 中断的。支持下列触发电平: 00: FIFO 为空时 01: FIFO 中有 2 个字符时 10: FIFO ¼ 满时 11: FIFO ½ 满时
3	DMA Mode (or DMAM)	0	W	DMA 模式选择位, 当没有选择额外的 DMA 握手信号(DMA_EXTRA(CPR[13]) = 0)时, 该位决定用于 dma_tx_req_n 和 dma_rx_req_n 输出信号的 DMA 信号模式。 0: 模式 0 1: 模式 1
2	XMIT FIFO Reset (or XFIFOR)	0	W	XMIT FIFO (发送 FIFO) 复位选择位, 该位可以复位发送 FIFO 的控制部分并认为 FIFO 为空。当选择额外的 DMA 握手信号 (DMA_EXTRA(CPR[13]) = 1)时, 也会不断言 DMA 发送请求和单个信号。
1	RCVR FIFO Reset (or RFIFOR)	0	W	RCVR FIFO (接收 FIFO) 复位选择位, 该位可以复位接收 FIFO 的控制部分并认为 FIFO 为空。当选择额外的 DMA 握手信号 (DMA_EXTRA(CPR[13]) = 1)时, 也会不断言 DMA 接收请求和单个信号。
0	FIFO Enable (or FIFOE)	0	W	FIFO 使能控制位, 该位将使能/关闭发送 FIFO (XMIT) 和接收 FIFO (RCVR)。无论何时该位被改变, 发送 FIFO 和接收 FIFO 控制器部分都会被复位。

3-8 LCR

地址偏移: 0x0C

Bit	名称	复位值	读/写	功能
31:8	保留	24'b0	-	-
7	DLAB	0	RW	分频数锁存访问控制位, 该位用于使能 DLL、DLH 或 LPDLL、LPDLH 寄存器读写操作以设置 UART 波特率。为了对其他寄存器进行操作, 当初始化波特率后该位一定会被清 0。

3 UART

6	Break (or BC)	0	RW	中止控制位，该位控制中止接收器。 0: 不中止接收器 1: 中止接收器，串行输出强制为 0 当为非 Loopback 模式（由 MCR[4]决定是否为该模式）下，sout 线将强制为低电平直到此位清 0。
5	Stick Parity	0	RW	奇偶校验控制位。该位用于选择控制强制奇偶校验位。 0: 不使能 Stick Parity 1: 当 PEN, EPS 和 Stick Parity 位都被设置为 1，奇偶校验位作为逻辑 0 被发送和检查； 当 PEN 和 Stick Parity 被设置为 1 而 EPS 设置为 0，奇偶校验位作为逻辑 1 被发送和检查。
4	EPS	0	RW	奇数偶数选择位。当使能奇数和偶数时（PEN, LCR[3]为 1）时，该位用于选择奇数和偶数。 0: 奇数作为逻辑 1 被传输和检查 1: 偶数作为逻辑 1 被传输和检查
3	PEN	0	RW	奇偶校验使能位，该位分别在发送和接收的串行字符中进行奇偶校验生成和检测。 0: 不使能奇偶校验 1: 使能和检测奇偶校验
2	STOP	0	RW	停止位数选择位，该位用于选择外设传输和发送的每个字符的停止位的数目。 0: 串行数据只传输 1 个停止位 1: 当数据位为 5 时（DLS，即 LCR[1:0]置 00），传输 1.5 个停止位；否则传输 2 个停止位 注意：无论选择的停止位的数目为多少，发接收器只检查 1 个停止位。
1:0	DLS (or CLS, as used in legacy)	00	RW	数据位长度选择位，该位用于选择外设发送和接收的每个字符的数据位的数目。选择的数据位数目如下： 00: 5 位数据位 01: 6 位数据位 10: 7 位数据位 11: 8 位数据位

3-9 MCR

地址偏移：0x10

Bit	名称	复位值	读/写	功能
31:7	保留	25'b0	-	-
6	SIRE	0	RW	SIR 模式使能控制位。 0: 不使能 IrDA SIR 模式 1: 使能 IrDA SIR 模式
5	AFCE	0	RW	自动流控制使能位。 0: 不使能 Auto Flow Control 模式

3 UART

				1: 使能 Auto Flow Control 模式
4	LoopBack(or LB)	0	RW	该位用于测试。
3	OUT2	0	RW	该位用于直接控制用户指定的 Output2 (out2_n) 输出。写入该位的值会被翻转并在 out2_n 被驱逐, 即: 0: out2_n 取消断言 (逻辑 1) 1: out2_n 断言 (逻辑 0)
2	OUT1	0	RW	该位用于直接控制用户指定的 Output1 (out1_n) 输出。写入该位的值会被翻转并在 out1_n 被驱逐, 即: 0: out1_n 取消断言 (逻辑 1) 1: out1_n 断言 (逻辑 0)
1	RTS	0	RW	发送请求位 (Request to Send), 该位用于直接控制请求发送输出 (rts_n)。发送请求会报告调制解调器或数据集 UART 已准备好传输数据。
0	DTR	0	RW	数据终端准备就绪位, 该位用于直接控制数据终端准备就绪输出 (dtr_n)。写入该位的值会被翻转并且在 dtr_n 被驱逐, 即: 0: dtr_n 取消断言 (逻辑 1) 1: dtr_n 断言 (逻辑 0)

3-10 LSR

地址偏移: 0x14

Bit	名称	复位值	读/写	功能
31:9	保留	23'b0	-	-
8	ADDR_RCVD	0	RW	如果数据位是 9 位(LCR_EXT[0]=1), 该位表示接收的数据的第 9 位置 1; 该位也可表示传入的字符是地址还是数据。 0: 传入字符为数据 1: 传入字符为地址 注意: 在下一个地址字节进来前必须保证以清除已有中断。如果清除中断时有延时, 软件无法区分多个中断地址。
7	RFE	0	R	接收 FIFO 错误标志位, 该位指示是否 FIFO 中至少存在 1 个奇偶校验错误、帧错误或中断指示。仅当 FIFO_MODE != NONE AND FIFOs 时该位才有关。 0: 接收 FIFO 中没有错误 1: 接收 FIFO 中有错误
6	TEMT	1	R	发送端清空标志位。如果在 FIFO 模式下且使能 FIFO(FCR[0] set to 1), 只要发送移位寄存器和 FIFO 为空, 该位就会置 1。如果是在非 FIFO 模式下或者关闭 FIFO 时, 只要发送保持寄存器和发送移位寄存器为空, 该位置 1。

3 UART

5	THRE	1	R	<p>发送保持寄存器清空 (THR Empty) 标志位。如果 THRE_MODE_USER = Disabled 或关闭 THRE 模式 (PTIME, IER[7]=0) 并且无论 FIFO 是否实现或使能, 该位指示 THR 或 TX FIFO 为空。</p>
4	BI	0	R	<p>该位表示串行输入数据的中断序列的检测。</p> <ul style="list-style-type: none"> ■ 在 UART 模式下 (SIR_MODE = Disabled), 只要串行输入 sin 停留在 '0' 的时间大于启动时间+数据位+奇偶校验位+停止位之和, 该位置 1。 ■ 在红外模式下 (SIR_MODE = Enabled), 只要串行输入 sir_in 连续脉冲到逻辑 '0' 的时间大于启动时间+数据位+奇偶校验位+停止位之和, 该位置 1。中止串行输入导致 UART 接收有且只有一个由全 0 组成的字符。 ■ 在 FIFO 模式下, 与中止条件相关联的字符通过 FIFO 传送, 并在字符位于 FIFO 顶部时显示。读取 LSR 会清除该位。 ■ 在非 FIFO 模式下, 此位置指示的内容会立即发生并持续到对 LSR 寄存器执行读操作。
3	FE	0	R	<p>帧错误标志位, 该位表示在接收器上是否发生了帧错误。当接收设备在接收数据中没有检测到有效的停止位就说明发生了帧错误。</p> <p>在 FIFO 模式下, 因为帧错误与接收字符相关, 当带有帧错误的字符达到 FIFO 顶部时将显示帧错误。发生帧错误时, UART 会尝试重新同步。它通过假设错误是由下一个字符的起始位引起然后继续接收其他位; 也就是继续接收数据位和/或奇偶校验位和停止位。</p> <p>应注意, 如果发生了中止中断 (在 BI, 即 LSR[4] 可以发现), 则该位置 1。发生这种情况是因为通过将串行输入 sin 保持为逻辑 0 的时间大于于字符的持续时间从而使中止字符隐式地生成帧错误。</p> <p>0: 没有帧错误 1: 发生帧错误 读 LSR 寄存器清除该位。</p>
2	PE	0	R	<p>奇偶校验错误标志位, 该位指示如果设置了 PEN 位 (LCR[3]) 为 1, 接收器是否会发生奇偶校验错误。</p> <p>在 FIFO 模式下, 由于奇偶校验错误和接收字符有关, 当带有奇偶校验错误的字符到达 FIFO 顶部时将显示奇偶校验错误。</p> <p>应注意, 如果发生中止中断, 如 BI (LSR[4]) 所指示, PE 将置 1。在这种情况下, 如果已设置使</p>

3 UART

				能产生和检测奇偶校验（即 LCR[3]=1、LCR[4]=0），此位将置 1。 0: 不发生奇偶校验错误 1: 发生奇偶校验错误 对 LSR 寄存器执行读操作将清除该位。
1	OE	0	R	溢出错误标志位,如果在读取前一个数据前就接收到了新的字符,将发生溢出错误。 在非 FIFO 模式下,在前一个来自 RBR 寄存器的字符还没被读取就接收新的字符,RBR 寄存器中的数据会溢出,则该位置 1。 在 FIFO 模式下,当 FIFO 已满并且有新的字符传入接收设备,就会发生溢出错误。FIFO 中的数据会被保留,接收移位寄存器中的数据会丢失。 0: 不发生溢出错误 1: 发生溢出错误 对 LSR 寄存器执行读操作将清除该位。
0	DR	0	R	数据准备标志位,该位表示接收端的 RBR 或接收 FIFO 中是否有至少一个字符。 0: 没有数据准备 1: 已做好数据准备 当 RBR 寄存器在非 FIFO 模式下执行读操作或在 FIFO 模式下接收 FIFO 为空时,该位会被清 0。

3-11 MSR

地址偏移: 0x18

Bit	名称	复位值	读/写	功能
31:8	保留	24'b0	-	-
7	DCD	0	R	数据载波检测控制位,该位指示调制解调器控制线 dcd_n 的当前状态。该位为 dcd_n 的补集。当 dcd_n 发生断言时,指示调制解调器或数据集已检测到载波。 0: dcd_n 输入信号取消断言(逻辑电平 1) 1: dcd_n 输入信号断言 (逻辑电平 0) 注意: 在回送模式下,即 MCR[4]置 1,该位状态和 MCR[3] (OUT2) 一样。
6	RI	0	R	该位用于指示调制解调器控制线 ri_n 的当前状态。该位为 ri_n 的补集。当 ri_n 输入信号发生断言时,指示调制解调器或数据集接收到电话振铃信号。 0: ri_n 输入取消断言(逻辑电平 1) 1: ri_n 输入断言(逻辑电平 0) 注意: 在回送模式下,即 MCR[4]置 1,该位状态和 MCR[2] (OUT1) 一样。
5	DSR	0	R	数据集准备标志位,该位用于指示调制解调器控制线 dsr_n 的当前状态。该位是 dsr_n 的补集。当

3 UART

				dsr_n 断言时，指示调制解调器或数据集将与 UART 建立通信。 0: dsr_n 输入信号取消断言 (逻辑电平 1) 1: dsr_n 输入信号断言(逻辑电平 0) 注意：在回送模式下，即 MCR[4]置 1，该位状态和 MCR[0] (DTR) 一样。
4	CTS	0	R	发送清除位，该位用于指示调制解调器控制线 cts_n 的当前状态。该位是 cts_n 的补集。当 cts_n 断言时，指示指示调制解调器或数据集将与 UART 交换数据。 0: cts_n 输入信号取消断言(逻辑电平 1) 1: cts_n 输入信号断言(逻辑电平 0) 注意：在回送模式下，即 MCR[4]置 1，该位状态和 MCR[1] (RTS) 一样。 \
3	DDCD	0	R	Delta Data Carrier Detect，该位用于指示自 MSR 上一次执行读操作以来 dcd_n 是否已更改。 0: 自 MSR 上一次执行读操作以来 dcd_n 没有更改 1: 自 MSR 上一次执行读操作以来 dcd_n 已更改
2	TERI	0	R	该位用于指示自上一次 MSR 执行读操作以来 ri_n 输入是否发生改变 (从低电平有效变为高电平无效)。 0: 自上一次 MSR 执行读操作以来 ri_n 输入没有发生改变 1: 自上一次 MSR 执行读操作以来 ri_n 输入发生了改变
1	DDSR	0	R	该位用于指示自 MSR 执行读操作以来调制解调器控制线 dsr_n 是否发生了改变。 0: 自 MSR 执行读操作以来 dsr_n 没有发生改变 1: 自 MSR 执行读操作以来 dsr_n 发生了改变
0	DCTS	0	R	该位用于指示自 MSR 执行读操作以来调制解调器控制线 cts_n 是否发生了改变。 0: 自 MSR 执行读操作以来 cts_n 没有发生改变 1: 自 MSR 执行读操作以来 cts_n 发生了改变

3-12 USR

地址偏移：0x7C

Bit	名称	复位值	读/写	功能
31:5	保留	27'b0	-	-
4	RFF	0	R	接收 FIFO 已满标志位。 0: 接收 FIFO 未滿 1: 接收 FIFO 已滿 注意：当接收 FIFO 不再滿时该位清 0。

3 UART

3	RFNE	0	R	接收 FIFO 非空标志位。 0: 接收 FIFO 为空 1: 接收 FIFO 非空 注意: 当接收 FIFO 为空时该位清 0。
2	TFE	1	R	发送 FIFO 为空标志位。 0: 发送 FIFO 非空 1: 发送 FIFO 为空 注意: 当发送 FIFO 不再为空时该位清 0。
1	TFNF	1	R	发送 FIFO 非满标志位。 0: 发送 FIFO 为满 1: 发送 FIFO 非满 注意: 当发送 FIFO 已满时该位清 0。
0	BUSY	0	R	串口工作状态标志位。此位指示 UART 执行串行传输的状态。 0: UART 空闲或不工作 1: UART 工作 (正在进行数据传输)

3-13 TFL

地址偏移: 0x80

Bit	名称	复位值	读/写	功能
31:FIFO_ADD R_WIDTH + 1	保留	32'b0	-	-
FIFO_ADDR_ WIDTH:0	发送 FIFO 级 别		R	该位表示发送 FIFO 中的数据数目。

3-14 RFL

地址偏移: 0x84

Bit	名称	复位值	读/写	功能
31:FIFO_ADD R_WIDTH + 1	保留	32'b0	-	-
FIFO_ADDR_ WIDTH:0	接收 FIFO 级 别		R	该位表示接收 FIFO 中的数据数目。

3-15 TCR

地址偏移: 0xAC

Bit	名称	复位值	读/写	功能
31:5	保留	27'b0	-	-
4:3	XFER_MODE	00	RW	传输模式选择位。 00: 在该模式下, 发送和接收可以同时进行, 用户可在任何时刻使能 DE_EN 和 RE_EN 寄存器。TAT 寄存器中对回转时序编程不适用于此模式。 01: 在该模式下, DE 和 RE 互斥。当 RE 向 DE 转换或 DE 向 RE 转换的过程中, 硬件认为 TAT 寄存器中的回转时序是可编程的。当配置时确保 DE 或 RE 是启动的。 在开始传输之前, 硬件等待接收任何传输。

3 UART

				<p>10: 在该模式下, DE 和 RE 互斥。一旦配置了 DE_EN 或 RE_EN 寄存器, 默认使能 ‘re’ 信号和串口控制器准备接收数据。如果用户配置 TX FIFO 时, 在确保没有接收数据时, 禁用 ‘re’ 信号并使能 ‘de’ 信号。</p> <p>一旦 TX FIFO 为空, 使能 ‘re’ 信号、禁用 ‘de’ 信号。</p> <p>在该模式下工作, 当从 RE 向 DE 或 DE 向 RE 转换时, 硬件认为 TAT 寄存器中的回转时序是可编程的。在这个模式下, ‘re’ 和 ‘de’ 两个信号互为补集。</p>
2	DE_POL	UART_DE_POL	RW	<p>DE 信号有效位设置。</p> <p>0: DE 信号低电平有效</p> <p>1: DE 高电平有效</p>
1	RE_POL	UART_RE_POL	RW	<p>RE 信号有效性设置。</p> <p>0: RE 信号低电平有效</p> <p>1: RE 信号高电平有效</p>
0	RS485_EN	0	RW	<p>RS485 传输使能位。</p> <p>0: 在 RS232 模式下传输数据。保留该寄存器的其他位和 DE_EN、RE_EN、DET、TAT 寄存器。</p> <p>1: 在 RS485 模式下传输数据。该寄存器的其他位可用。</p>

3-16 DE_EN

地址偏移: 0Xb0

Bit	名称	复位值	读/写	功能
31:1	保留	31'b0	-	-
0	DE Enable	0	RW	<p>‘de’ 信号断言控制位。</p> <p>0: 取消断言 ‘de’ 信号</p> <p>1: 断言 ‘de’ 信号</p>

3-17 RE_EN

地址偏移: 0Xb4

Bit	名称	复位值	读/写	功能
31:1	保留	31'b0	-	-
0	RE Enable	0	RW	<p>‘re’ 信号断言控制位。</p> <p>0: 取消断言 ‘re’ 信号</p> <p>1: 断言 ‘re’ 信号</p>

3-18 DET

地址偏移: 0Xb8

Bit	名称	复位值	读/写	功能
31:24	保留	8'b0	-	-
23:16	DE de-assertion time	8'b0	RW	<p>该位控制串行输出 (sout) 的停止位结束到 ‘de’ 信号下降沿之间的时间量 (就串行时钟周期数而言)。</p>

3 UART

15:8	保留	8'b0	-	-
7:0	DE assertion time	8'b0	RW	该位控制 'de' 信号上升沿的断言到串行传输使能之间的时间量（就串行时钟周期数而言）。使能传输后，发送 buffer 上的所有数据都会启动串行输出（sout）。

3-19 TAT

地址偏移：0Xbc

Bit	名称	复位值	读/写	功能
31:16	RE to DE	16'b0	RW	从 RE (Receiver Enable) 取消断言到 DE (Driver Enable) 断言的周转时间。
15:0	DE to RE	16'b0	RW	从 DE (Driver Enable) 取消断言到 RE (Receiver Enable) 断言的周转时间。

3-20 LCR_EXT

地址偏移：0Xcc

Bit	名称	复位值	读/写	功能
31:4	保留	28'b0	-	-
3	TRANSMIT_M ODE	0	RW	传输模式控制位，该位用于在传输的数据为 9 位时控制传输模式。 0: 在该模式下，发送保持寄存器 (THR) 和发送保持寄存器影像寄存器 (STHR) 位宽都为 8bit。用户需要配置 TAR 寄存器的地址和进入 THR/STHR 的数据。 1: 在该模式下，发送保持寄存器 (THR) 和发送保持寄存器影像寄存器 (STHR) 位宽为 9bit。用户需要确保写入 THR/STHR 寄存器的地址/数据正确。 地址：将第 9 位置 1。 数据：将第 9 位置 0。
2	SEND_ADDR	0	RW	发送地址控制位。在传输模式下用户通过该位控制发送地址的时间。 0: 发送第 9 位置 0 的 9bit 宽的字符并且其余 8bit 从 TX FIFO 中获取；TX FIFO 通过 8 位宽的 THR/STHR 寄存器烧写数据。 1: 发送第 9 位置 1 的 9bit 字符并且其余 8bit 将被写入 TAR 寄存器。
1	ADDR_MATCH	0	RW	地址匹配模式选择位 (Address Match Mode)，该位在接收数据过程中打开地址匹配功能。 0: 正常模式，串口开始接收数据并形成的 9 位的数据字符，然后将其写入接收 FIFO。用户需要读取数据并区分 b/n 地址和数据 1: 地址匹配模式，在传入的字符的第 9 位为 1 之前串口会保持等待。并且，进一步检查地址是否与“RAR 寄存器”中烧写的地址匹配。如果地址匹

3 UART

				配, 输入的字符将作为有效字符、串口开始接收数据。
0	DLS_E	0	RW	DLS 的扩展位, 该位控制发送和接收的 9bit 的数据的使能。 0: 传输的数据的位数由 DLS 决定 1: 每个字符 9bit

3-21 CPR

地址偏移: 0xF4

Bit	名称	复位值	读/写	功能
31:24	保留	8'b0	-	-
23:16	FIFO_MODE	8'b0	R	0x00 = 0 0x01 = 16 0x02 = 32 ... 0x80 = 2048 0x81- 0xff = 保留
15:14	保留	00	-	-
13	DMA_EXTRA	0	R	0: FALSE 1: TRUE
12	UART_ADD_ENCODED_PARAMS	0	R	0: FALSE 1: TRUE
11	SHADOW	0	R	0: FALSE 1: TRUE
10	FIFO_STAT	0	R	0: FALSE 1: TRUE
9	FIFO_ACCESS	0	R	0: FALSE 1: TRUE
8	ADDITIONAL_FEAT	0	R	0: FALSE 1: TRUE
7	SIR_LP_MODE	0	R	0: FALSE 1: TRUE
6	SIR_MODE	0	R	0: FALSE 1: TRUE
5	THRE_MODE	0	R	0: FALSE 1: TRUE
4	AFCE_MODE	0	R	0: FALSE 1: TRUE
3:2	保留	00	-	-
1:0	APB_DATA_WIDTH	00	R	00: 8 bits 01: 16 bits 10: 32 bits 11: 保留

4 CAN

CAN 总线框图如下所示:

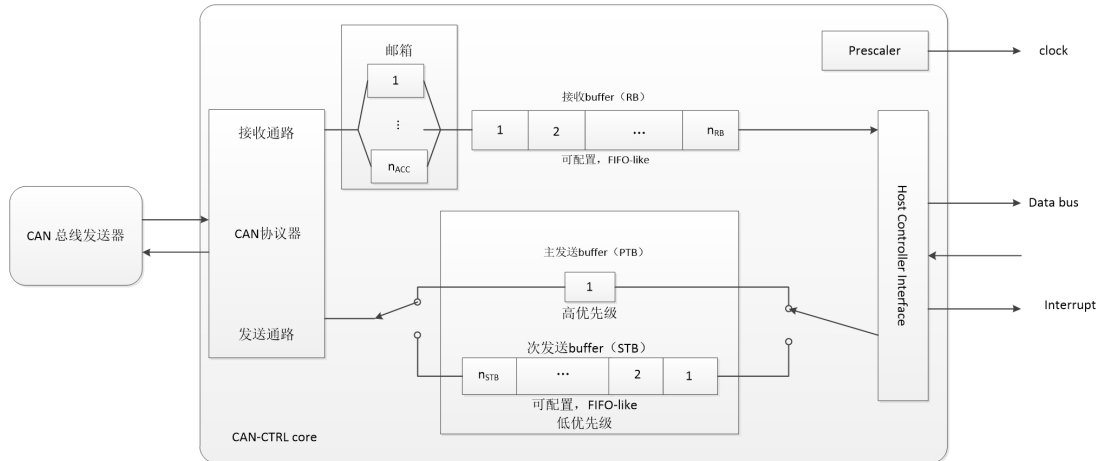


图 4-1 CAN 总线内部结构图

4.1 特性

- (1) 支持的 CAN 总线传输规格: CAN2.0B (高达 8byte 的有效负载, 由 Bosch 参考模式认证)
- (2) 可编程数据速率: CAN2.0B 定义了数据速率最高为 1Mbit/s
- (3) 配置接收 buffer (RB) 的大小
 - 通用参数选择缓冲槽的数量
 - FIFO-like 行为 (基于双端口内存)
 - “未接受”或“不正确”的已接收消息不会覆盖已存储的消息
- (4) 两个发送 buffer
 - 1 个主发送 buffer (PTB)
 - 可选择可配置的次发送 buffer (STB)

注意: 可以选择是否包括 STB。如果包括, 则通用参数选择 16 个 buffer 槽 FIFO-like 的行为。

 - 一个 PTB 和 STB 双端口存储块
- (5) 独立的可编程的内部 29bit 邮箱
 - 邮箱的数量由通用参数选择, 默认为 16
- (6) 扩展的特性
 - 单发传输模式 (PTB 和/或 STB)
 - 只接收模式
 - 环回模式 (内部和外部)
 - 收发器待机模式
- (7) 扩展的状态和错误报告
 - 捕获最后发生的错误
 - 捕获仲裁丢失的位置
 - 可编程错误警告限制

4 CAN

- (8) 可配置的中断源
- (9) 完全同步和综合 HDL 设计

4.2 操作步骤

- (1) 设置 CAN 位时序。硬件复位后，控制器会自动配置 $f_{BUS} = 1 \text{ MHz}$ ，系统时钟为 16 MHz。
- (2) 如果需要，可以启动/关闭中断请求。
 - 对于发送：设置 TPIE (RTIE[3]) 或 TSIE (RTIE[2])
 - 对于接收：设置 RIE (RTIE[7])、RAFIE (RTIE[4])、RFIE (RTIE[5]) 和 ROIE (RTIE[6]) (需要时)
- (3) 对于发送：
 - 向发送 buffer 写入 1 帧 (PTB 或 STB)
 - 启动发送：用 TPE (TCMD[4])、TSONE (TCMD[2]) 或 TSALL (TCMD[1])
 - 当需要时等待选择的中断
- (4) 对于接收：
 - 等待选择的中断
 - 从接收 buffer 上读取接收到的帧并通过 RCTRL 寄存器确定帧的类型
- (5) 其他特性：
 - 邮箱
 - Buffer 控制：TSSTAT (TCTRL[4:0]) 和 RSTAT (RCTRL[1:0])
 - 错误处理 (EIE (RTIE[1]), EIF (EIF (RTIF[1], EWL (LIMIT[3:0]) 位; ERRINT, RECNT, TECNT, EALCAP 寄存器)

4.3 寄存器介绍

4-1 RBUF

地址偏移：0x00-0x47

标准帧格式(读/写：R/复位值：0x00)

地址	Bit								功能
	7	6	5	4	3	2	1	0	
RBUF	ID(7:0)								Identifier
RBUF+1	-				ID(10:8)				Identifier
RBUF+2	-								Identifier
RBUF+3	ESI	-							Identifier
RBUF+4	IDE=0	RTR	EDL	BRS	DLC(3:0)				Control
RBUF+8	d1(7:0)								Data byte 1
RBUF+9	d2(7:0)								Data byte 2
...
RBUF+71	d64(7:0)								Data byte 64

扩展帧格式 (读/写：R/复位值：0x00)

地址	Bit								功能
	7	6	5	4	3	2	1	0	
RBUF	ID(7:0)								Identifier

4 CAN

RBUF+1	ID(15:8)						Identifier
RBUF+2	ID(23:16)						Identifier
RBUF+3	ESI	-			ID(28:24)		Identifier
RBUF+4	IDE=1	RTR	EDL	BRS	DLC(3:0)		Control
RBUF+8	d1(7:0)						Data byte 1
RBUF+9	d2(7:0)						Data byte 2
	...						
RBUF+71	d64(7:0)						Data byte 64

4-2 TBUF 标准帧格式 (读写: R/W)

地址偏移: 0x48 – 0x8f

地址	Bit								功能
	7	6	5	4	3	2	1	0	
TBUF	ID(7:0)								Identifier
TBUF+1	-				ID(10:8)				Identifier
TBUF+2	-								Identifier
TBUF+3	-								Identifier
TBUF+4	IDE=0	RTR	EDL	BRS	DLC(3:0)				Control
TBUF+8	d1(7:0)								Data byte 1
TBUF+9	d2(7:0)								Data byte 2
...
TBUF+71	d64(7:0)								Data byte 64

扩展帧格式 (读写: R/W)

地址	Bit								功能
	7	6	5	4	3	2	1	0	
TBUF	ID(7:0)								Identifier
TBUF+1	ID(15:8)								Identifier
TBUF+2	ID(23:16)								Identifier
TBUF+3	-				ID(28:24)				Identifier
TBUF+4	IDE=1	RTR	EDL	BRS	DLC(3:0)				Control
TBUF+8	d1(7:0)								Data byte 1
TBUF+9	d2(7:0)								Data byte 2
...
TBUF+71	d64(7:0)								Data byte 64

RBUF 和 TBUF 寄存器的控制位描述

Bit	功能
IDE	识别符扩展。 0: 标准帧格式: ID(10:0) 1: 扩展帧格式: ID(28:0)
RTR	远距离传输请求。

4 CAN

	0: 数据帧 1: 远程帧 只有 CAN 2.0 帧可以是远程帧, CAN FD 没有远程帧。因此, 如果 TBUF[EDL]位为 1, 本位 (RTR) 会被强制为 0。 通常, CAN 不能产生 CAN FD 远程帧并将帧转换为数据帧, 但是 CAN 可以接收 CAN FD 的远程帧。
EDL	扩展数据长度。 0: CAN 2.0 帧 (高达 8byte 的有效负载) 1: CAN FD 帧 (高达 64byte 的有效负载)
BRS	位速率转换。 0: 整个帧的标称/慢速比特率 1: 切换到数据有效载荷和 CRC 的数据/快速比特率 只有 CAN FD 帧可以转换比特率。如果 TBUF[EDL]位为 0, 本位将被强制为 0。
ESI	错误状态指示。 对于 RBUF 该位只可读; 对于 TBUF 该位不可用。 CAN 协议自动将 ESI 的正确值嵌入到传输帧中。只有在 CAN FD 中包含 ESI 位, 而 CAN 2.0 帧没有。 0: CAN 节点错误激活 1: CAN 节点错误关闭 CAN 2.0 帧中, RBUF 中的 ESI 位总是为低电平。 传输的错误状态通过寄存器 ERRINT 中的位 EPASS 显示。

4-3 CFG_STAT

地址偏移: 0x90

Bit	名称	复位值	读/写	功能
7	RESET	1	RW	CAN 复位控制位。 0: 不发生复位 1: 复位 CAN
6	LBME	0	RW	外部的环回模式 (Loop Back)。 0: 不使能 1: 使能 当启动传输时该位应该不使能。
5	LBMI	0	RW	内部的环回模式 (Loop Back)。 0: 不使能 1: 使能 当启动传输时该位应该不使能。
4	TPSS	0	RW	PTB 的主单发传输模式 0: 不使能 1: 使能
3	TSSS	0	RW	STB 的第二单发传输模式 0: 不使能 1: 使能
2	PACTIVE	0	R	接收状态位。 0: 不进行接收

4 CAN

				1: 控制器正在接收数据或远程帧
1	TACTIVE	0	R	发送状态位。 0: 不进行发送 1: 控制器正在发送数据或远程帧
0	BUSOFF	0	R	总线启动控制位 0: 启动总线 1: 关闭总线

4-4 TCMD

地址偏移: 0x91

Bit	名称	复位值	读/写	功能
7	TBSEL	0	RW	发送 BUFFER 选择位。在 TSNEXT 位置 1 和 TBUF 寄存器执行写操作时, 该位需要保持稳定。 0: PTB 1: STB
6	LOM	0	RW	只听模式使能位。 0: 不使能 1: 使能 在传输数据时该位不使能。如果将该位置 1, 将无法启动传输。
5	STBY	0	RW	发送设备待机模式使能位。 0: 不使能 1: 使能 该位与控制发送设备待机模式的输出信号 stby 相连。如果 TPE = 1、TSONE=1 或 TSALL=1, STBY 无法置 1。
4	TPE	0	RW	主传输使能位。 0: PTB 不启动传输 1: 启动传输高优先级的 PTB 的消息 如果该位置 1, PTB 中的消息会在下一个有可能的传输位置传输。从 STB 开始的传输将在之前完成, 但是等待新消息被延迟直到 PTB 消息已被传输。
3	TPA	0	RW	传输主中止控制位。 0: 不中止 1: 中止来自 TPB 的传输, 该传输已由 TYPE = 1 请求但尚未启动。(消息的数据位保存在 PTB 里) 该位由主机控制器置 1 并将被 CAN 复位。对将 TPA 置 1 会自动对 TPE 取消断言。
2	TSONE	0	RW	STB 的单帧传输控制位。 0: 不传输 STB 中的消息 1: 传输 STB 中最旧的消息。

4 CAN

				消息的格式会被存进该消息的 IDE buffer 中。一旦总线为空并且没有挂起 PTB 的请求，控制器会立刻启动数据传输。
1	TSALL	0	RW	STB 的所有帧传输控制位。 0: 不传输 STB 中的消息 1: 传输 STB 中的所有消息。 消息的格式存储进适当的 IDE buffer 中。一旦总线为空并且没有挂起 PTB 的请求，控制器会立刻启动数据传输。
0	TSA	0	RW	STB 辅助传输中止控制位。 0: 不中止 1: 中止来自 STB 的已请求但未启动的传输 对于 TSONE 传输来说,当中止 TSALL 传输中的所有帧时,只中止 TSONE 传输的 1 帧。将释放一个或全部更新 TSSTAT 的消息槽。由于 STB 的 FIFO-like 行为,所有中止的消息都会丢失,因为它们不再可访问。

4-5TCTRL

地址偏移: 0x92

Bit	名称	复位值	读/写	功能
7	保留	1	RW	不可更改此位。
6	TSNEXT	0	RW	当所有帧的字节都被写入 TBUF 寄存器中后,主控制器会设置 TSNEXT 表示该槽已满。接着 CAN 会将 TBUF 寄存器连向下一个 FIFO 槽中。 0: 无动作 1: STB 槽已满,选择下一个 FIFO 槽
5	Reserved	0	-	-
4:0	TSSTAT	5'b0	R	第二传输 buffer (STB) 的状态位,表示已填满消息的 buffer 的数量 (0...16)

4-6 RCTRL

地址偏移: 0x93

Bit	名称	复位值	读/写	功能
7:6	保留	00	-	-
5	ROV	0	R	接收 buffer 的溢出标志位。 0: 不发生溢出 1: 发生溢出,至少丢失 1 个消息 当 RREL = 1 时该位置 1。
4	RREL	0	RW	释放接收 buffer 的控制位。主控制器确认接收 buffer 是否为空,然后 CAN 会指向接收 buffer 的下一个位置并更新 RSTAT 位 (RCTRL[1:0])。 0: 不释放接收 buffer

4 CAN

				1: 释放, 主控制器会清空接收 buffer
3:2	Reserved	0	-	-
1:0	RSTAT(1:0)	0	R	接收 buffer 的状态标志位。 00: 接收 buffer 为空 01: 接收 buffer 为空 < 接收 buffer < AFWL 设置的值 10: 接收 buffer 大于等于 AFWL 设置的值 (由 AFWL(LIMIT[7:4]) 设置 buffer 阈值), 但接收 buffer 未满足且不发生溢出 11: 接收 buffer 已满 (溢出时保持置 1, 溢出标志位查看 ROV (RCTRL[5]))

4-7 RTIE

地址偏移: 0x94

Bit	名称	复位值	读/写	功能
7	RIE	1	RW	中断接收使能位。 0: 不使能 1: 使能
6	ROIE	1	RW	接收 buffer 的溢出中断使能位。 0: 不使能 1: 使能
5	RFIE	1	RW	接收 buffer 已满中断使能位。 0: 不使能 1: 使能
4	RAFIE	1	RW	接收 buffer 将满中断使能位。 0: 不使能 1: 使能
3	TPIE	1	RW	主传输中断使能位。 0: 不使能 1: 使能
2	TSIE	1	RW	第二传输中断使能位。 0: 不使能 1: 使能
1	EIE	1	RW	出错中断使能位。 0: 不使能 1: 使能
0	TSFF	0	R	第二传输 buffer 已满标志位。 0 第二传输 buffer (STB) 没有填充到最大值 1: 第二传输 buffer (STB) 已填充到最大值

4-8 RTIF

地址偏移: 0x95

Bit	名称	复位值	读/写	功能
7	RIF	0	R	接收中断标志位。 0: 没有接收到帧

4 CAN

				1: 已接收数据或远程帧, 并且在接收缓冲区有效。
6	ROIF	0	R	接收 buffer 超额的中断标志位。 0: 接收 buffer 没有超额, 在这种情况下 ROIF 和 RFIF 都会置 1 1: 接收 buffer 中至少有一个接收的消息被覆盖
5	RFIF	0	R	接收 buffer 已满的中断标志位。 0: RB FIFO 未滿 1: 所有的接收 buffer 都已滿, 如果在接收下一个有效消息之前没有释放接收 buffer, 最旧的消息会丢失
4	RAFIF	0	R	接收 buffer 将满的中断标志位。 0: 接收 buffer 中已填满的量 < AFWL _i 1: 接收 buffer 中已填满的量 ≥ AFWL _i
3	TPIF	0	R	Transmission Primary 中断标志位。 0: 尚未完成 PTB 的传输 1: 已完成 PTB 的传输
2	TSIF	0	R	Transmission Secondary 中断标志位。 0: 尚未完成 STB 的传输 1: 已完成 STB 的传输
1	EIF	0	R	出错中断标志位。 0: 没有发生变化 1: 错误警告的限制边界已在任一方向上交叉, 或者 BUSOFF 位已在任一方向上更改。
0	AIF	0	R	中止中断标志位。 0: 没有执行中止中断, 该位没有相关的使能寄存器: 1: 将 TPA 或 TSA 置 1 后, 将中止合适的消息。建议不要同时 TPA 和 TSA 置 1, 因为两者都是源 AIF

4-9 ERRINT

地址偏移: 0x96

Bit	名称	复位值	读/写	功能
7	EWARN	0	R	到达 Error warning 限制值的控制位。 0: 两个计数器的值都小于 EWL 1: RECNT 或 TECNT 其中一个计数器大于等于 EWL
6	EPASS	0	R	被动错误模式激活控制位。 0: 不激活(节点错误有效) 1: 激活(节点错误无效)
5	EPIE	0	RW	被动错误中断使能位。 0: 不使能 1: 使能
4	EPIF	0	R	被动错误中断标志位。如果错误状态从错误有

4 CAN

				效变为错误无效或反之，并且启用此中断，则该位置 1。 0: 不发生被动错误中断 1: 发生被动错误中断
3	ALIE	0	RW	仲裁丢失中断使能位。 0: 不使能 1: 使能
2	ALIF	0	R	仲裁丢失中断标志位。 0: 不发生仲裁丢失中断 1: 发生仲裁丢失中断
1	BEIE	0	RW	总线错误中断使能位。 0: 不使能 1: 使能.
0	BEIF	0	R	总线错误中断标志位。 0: 不发生总线错误中断 1: 发生总线错误中断

4-10LIMIT

地址偏移: 0x97

Bit	名称	复位值	读/写	功能
7:4	AFWL(3:0)	0001	RW	接收 buffer 将满的警告界限。AFWL 定义内部警告限制 AFWL_i, 其中 Nrb 是接收 buffer 可用位置的数量。
3:0	EWL(3:0)	1011	RW	可编程错误警告界限值 = (EWL+1)*8。限制值可能为: 8, 16, ... 128。 该位数值控制 EIF。 EWL 需要使用 CDC 从主机转移到 CAN 时钟域。在传输期间, 此位被主机写锁定几个时钟, 直到 CDC 完成。

4-11 BITTIME_0

地址偏移: 0x98

Bit	名称	复位值	读/写	功能
7:6	F_SJW(1:0)	10	RW	快速模式下的同步跳转宽度。 同步跳转宽度, 即: $t_{SJW} = (SJW+1)*TQ$ 是缩短或延长重新同步位时间的最大时间, TQ 是时间量程。
5:0	S_Seg_1(5:0)	000011	RW	慢速模式下的位定时段 1。 启动位定时后, 采样点会被设为: $t_{Seg_1} = (Seg_1+2)*TQ$ 当 Seg_1=0 无意义并且会被自动变为 1。

4-12 BITTIME_1

地址偏移: 0x99

Bit	名称	复位值	读/写	功能
7:5	F_Seg_2(2:0)	3010	RW	快速模式下的位定时段 2。 启动采样后,

4 CAN

				Time $t_{seg_2}=(Seg_2+1)*TQ$ 当 Seg_2=0 无意义并且会被自动变为 1。
4:0	S_Seg_2(4:0)	00010	RW	慢速模式小的为定时段 2 (Bit Timing Segment 2) 采样后, Time $t_{seg_2}=(Seg_2+1)*TQ$ 当 Seg_2=0 无意义并且会被自动变为 1。

4-13 BITTIME_2

地址偏移: 0x9a

Bit	名称	复位值	读/写	功能
7:4	F_Seg_1(3:0)	0011	RW	快速模式下的位定时段 1。 位定时启动后采样点为: $t_{seg_1}=(Seg_1+2)*TQ$ 当 Seg_1=0 无意义并且会被自动变为 1。
3:0	S_SJW(3:0)	0010	RW	慢速模式下的同步跳转宽度。同步跳转宽度, 即 $t_{SJW}=(SJW+1)*TQ$ 是缩短或延长重新同步的位定时的最大时间, TQ 是时间量程。

4-14 S_PRESC

地址偏移: 0x9c

Bit	名称	复位值	读/写	功能
7:0	S_PRESC	8'h1	RW	快速或低速模式下的预分频, 预分频器将系统时钟分频以获得子时钟 tq_clk。 PRESC=[0x01, 0xff]对应分频 2 到 256。 不允许 PRESC=0, 当 PRESC=0 时会自动将其视为 1。

4-14 F_PRESC

地址偏移: 0x9d

Bit	名称	复位值	读/写	功能
7:0	F_PRESC	8'h1	RW	快速或低速模式下的预分频, 预分频器将系统时钟分频以获得子时钟 tq_clk。 PRESC=[0x01, 0xff]对应分频 2 到 256。 不允许 PRESC=0, 当 PRESC=0 时会自动将其视为 1。

4-15 TDC

地址偏移: 0x9e

Bit	名称	复位值	读/写	功能
7	TDCEN	0	RW	发送延时补偿使能位。 如果 TDCEN = 1 和 BRS 有效, 则在 CAN FD 帧的数据周期间将激活发送延时补偿 (TDC)。
6:5	保留	0	-	-
4:0	SSPOFF	5'b0	RW	第二采样点偏移控制位。 发送器延迟脉冲 SSPOFF 定义了 TDC 的第二采样点的时间。SSPOFF 表示 TQ 的数量。

4-16 EALCAP

地址偏移: 0xa0

Bit	名称	复位值	读/写	功能
-----	----	-----	-----	----

4 CAN

7:5	KOER(2:0)	0	R	错误类型标志位。 000: 没有发生错误 001: 位错误 010: 格式错误 011: 位填充错误 100: 应答错误 101: CRC 错误 110: 其他错误 自身错误标志后的显性位, 接收到的有效错误标志太长, ACK 错误后的 Passive-Error-Flag 期间的显性位 111: 不可用 成功发送或接收 1 帧后该位清 0。
4:0	ALC(4:0)	5'b0	R	仲裁丢失捕获, 仲裁丢失的帧的位位置。

4-17 RECNT

地址偏移: 0xa2

Bit	名称	复位值	读/写	功能
7:0	RECNT	8'b0	R	接收错误计数, 该位标志在接收数据期间发生的错误的个数。该位不会溢出, 0xff = 255 时最大值。

4-18 TECNT

地址偏移: 0xa3

Bit	名称	复位值	读/写	功能
7:0	TECNT	8'b0	R	发送错误计数, 该位表示发送数据期间产生的错误的个数。该位不会溢出, 0xff = 255 时最大值。

4-19 ACFCTRL

地址偏移: 0xa4

Bit	名称	复位值	读/写	功能
7:6	保留	0	-	-
5	SELMASK	0	RW	验收码和屏蔽码的选择位。 0: ACF_x 寄存器指向验收码 1: ACF_x 寄存器指向验收屏蔽 ACFADR 位选择一个具体的邮箱。
4	保留	0	-	-
3:0	ACFADR	0000	RW	邮箱的地址, 该位指向一个具体的邮箱。被选中的滤波器可以用 ACF_x 寄存器进行访问。SELMASK (ACFCTRL[5]) 在所选的邮箱的验收码或验收屏蔽之间选择。

4-20 ACF_EN_0

地址偏移: 0xa6

Bit	名称	复位值	读/写	功能
7	AE_7	0	RW	邮箱使能位。 Acceptance filter Enable
6	AE_6	0	RW	
5	AE_5	0	RW	

4 CAN

4	AE_4	0	RW	1: 使能邮箱 每个邮箱 (AMASK / ACODE) 可以被分别使能或关闭。硬件复位后, 默认只启用滤波器 0。
3	AE_3	0	RW	
2	AE_2	0	RW	
1	AE_1	0	RW	
0	AE_0	1	RW	

4-21 ACF_EN_1

地址偏移: 0xa7

Bit	名称	复位值	读/写	功能
7	AE_15	0	RW	邮箱使能位。 0: 不使能邮箱 1: 使能邮箱 每个邮箱 (AMASK / ACODE) 可以被分别使能或关闭。关闭滤波器会驳回一个消息; 当对 AMASK / ACODE 进行适当配置时, 只有启动的滤波器可以接收到消息。
6	AE_14	0	RW	
5	AE_13	0	RW	
4	AE_12	0	RW	
3	AE_11	0	RW	
2	AE_10	0	RW	
1	AE_9	0	RW	
0	AE_8	0	RW	

4-22 ACF_0/ACF_1/ACF_2/ACF_3

地址偏移: 0xa8/0xa9/0xaa/0xab(5:0)

寄存器	位位置
ACF_0	ACODE_x or AMASK_x(7:0)
ACF_1	ACODE_x or AMASK_x(15:8)
ACF_2	ACODE_x or AMASK_x(23:16)

Register Acceptance CODE ACODE_x

Bit	名称	复位值	读/写	功能
7:0	ACODE_0 ACODE_x	8'b0	RW	验收码。 0: ACC 位和接收的消息的 ID 做比较 1: ACC 位和接收的消息的 ID 位做比较, ACODE_x(10:0)将被用作扩展帧; ACODE_x(28:0)将被用作扩展帧 注意: 只有滤波器 0 受到上电复位的影响, 其他的滤波器都不会被初始化。

Register Acceptance MASK AMASK_x

Bit	名称	复位值	读/写	功能
7:0	AMASK_0 AMASK_x	8'Hff	RW	验收掩码。 0: 使能的接收识别符的此位的验收检查 1: 不使能的接收识别符的此位的验收检查 , ACODE_x(10:0)将被用作扩展帧; ACODE_x(28:0)将被用作扩展帧 禁用此位会导致需要接收消息, 因此复位后默认滤波器 0 接收所有的消息。只有滤波器 0 受到上电复位的影响, 其他的滤波器都不会被初始化。

注意: AMASK_x 包括了 ACF_3 寄存器中的额外位, 如果 SELMASK=1 时该位可以被断言。

4 CAN

这些位可用于仅接受具有所选 **ACODE / AMASK** 设置的标准帧或扩展帧，或接受两种帧类型。只有接收滤波器 0 受上电复位影响，并且配置为在上电后接受两种帧类型。

4-23 ACF_3

地址偏移: 0xab

Bit	名称	复位值	读/写	功能
7	保留	0	-	-
6	AIDEE	0	RW	验收掩码 IDE 位的检查使能位。 0: 邮箱接收标准帧和扩展帧 1: 邮箱接收由 AIDE 定义的格式，标准帧或扩展帧 只有滤波器 0 受到上电复位的影响，其他的滤波器都不会被初始化。
5	AIDE	0	RW	验收掩码 IDE 位的控制位。当 AIDEE = 1 时： 0 邮箱只接收标准帧 1: 邮箱只接收扩展帧 只有滤波器 0 受到上电复位的影响，其他的滤波器都不会被初始化。
4:0	ACODE_x or AMASK_x(28:24)	-	RW	-

5 历史

版本号	日期	说明
V1.0	2019/4/19	Official version
V1.1	2019/7/5	修改 CAN 部分描述
V1.2	2019/7/11	修改 UART 部分 THR 寄存器和 IIR 寄存器的部分描述
V2.0	2019/9/10	删除 GMAC 相关内容
V2.1	2019/11/14	改正 IIC 寄存器部分错误